

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## ⑫ 公開特許公報(A) 平3-103778

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)4月30日

G 01 R 31/28  
G 06 F 11/22

3 6 0 P

7343-5B  
6912-2G

G 01 R 31/28

G

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 スキャン回路アクセス装置

⑯ 特 願 平1-241322

⑰ 出 願 平1(1989)9月18日

⑱ 発 明 者 進 藤 達 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑲ 発 明 者 滋 谷 利 行 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井島 藤治 外1名

## 明 細 書

## 1. 発明の名称

スキャン回路アクセス装置

## 2. 特許請求の範囲

アクセス対象となるスキャン設計されたLSI部(1)と、

1ビット幅で全スキャンレジスタ数以上のワード数を持ち、LSI部(1)にダウンロードすべきデータ或いはLSI部(1)からアップロードしたデータを保持するメモリ(10)と、

その入力部及び出力部がそれぞれLSI部(1)のスキャン出力及びスキャン入力と接続されてLSI部(1)内部のスキャンレジスタをリング状に接続し、外部データ入力、メモリ(10)出力及びLSI部(1)のスキャン出力を受けてそのうちの1つを選択するセレクト(21)、該セレクト(21)の出力を保持するレジスタ(3)を具備し、該レジスタ(3)の出力は外部から直接読出されるようになっており、またメモリ(10)及びLSI部(1)に入力されるようになって

ているアクセス用レジスタ部(20)とにより構成されてなるスキャン回路アクセス装置。

## 3. 発明の詳細な説明

## 〔概要〕

スキャン設計されたLSI部に対するスキャン回路アクセス装置に関し、

スキャンレジスタ回路からのデータの高速読出し及びスキャンレジスタ回路への高速書き込みが行えるようにすることを目的とし、

アクセス対象となるスキャン設計されたLSI部と、1ビット幅で全スキャンレジスタ数以上のワード数を持ち、LSI部にダウンロードすべきデータ或いはLSI部からアップロードしたデータを保持するメモリと、その入力部及び出力部がそれぞれLSI部のスキャン出力及びスキャン入力と接続されてLSI部内部のスキャンレジスタをリング状に接続し、外部データ入力、メモリ出力及びLSI部のスキャン出力を受けてそのうちの1つを選択するセレクト、該セレクトの出力を保持するレジスタを具備し、該レジスタの出

力は外部から直接読出されるようになっており、またメモリ及びLSI部に入力されるようになっているアクセス用レジスタ部とにより構成される。

#### 【産業上の利用分野】

本発明はスキャン設計されたLSI部に対するスキャン回路アクセス装置に関する。

ディジタル回路のLSIでは、ハードウェアの故障診断のために、レジスタとしてスキャンレジスタを用いて設計がなされる。スキャンレジスタとは、通常の動作時には普通のレジスタとして動作し、スキャンモード時には全スキャンレジスタが1つのシフトレジスタとして外部からアクセスできるようになるものである。このスキャンレジスタに外付けの回路を付加することで、LSIをシステムに組込んだ状態で、LSI内部のレジスタに外部からデータのアクセスを行う使い方ができる。例えば、LSIの内部状態の初期化やデバッグのための内部状態のダンプにも用いることができるようになっている。

には、その値が丁度外付けのレジスタ3に入るように必要な回数だけスキャンクロックを与えてシフトさせ、レジスタ3の内容をデータ出力として読出す。読出しが終了したら、LSI部1の内部状態を元に戻すため、外付けのレジスタ3の値が元あったスキャンレジスタに戻るまでスキャンクロックを与えてシフトさせている。

また、任意のスキャンレジスタに値を書込む場合には、先ず読出しの場合と同様に、その値が丁度外付けのレジスタ3に入るまでシフトさせ、そこで書込むべきデータの値をセレクト2をデータ入力側に設定してレジスタ3に入れ、その後、外付けのレジスタ3の値が再び元のスキャンレジスタの位置に戻るのに必要な回数だけスキャンクロックを与えてシフトさせるようになっている。

#### 【発明が解決しようとする課題】

従って、従来の方式ではLSI内部のスキャンレジスタ1つにアクセスする毎に、(全スキャンレジスタ数+1)のシフト、即ち(全スキャンレ

#### 【従来の技術】

第4図は従来方式の構成ブロック図である。図において、1はスキャン設計されたLSI部でスキャンクロックを受けて、スキャン入力SINにデータを受け、スキャンアウトSOUTからシリアルデータを出力する。データの入力と出力は、いずれもスキャンクロックに同期してなされる。2はデータ入力とLSI部1のスキャン出力を受ける2入力のセレクト2、3は該セレクト2の出力を受けるレジスタである。

レジスタ3の出力はデータ出力として外部に取出されるようになっており、かつLSI部1のスキャン入力SINに入力データとして入っている。つまり、従来の方式は、図に示すように外付けのレジスタ3とセレクト2を用意することにより、そのレジスタ3を通してLSI部1の内部のスキャンレジスタがリングを形成するように構成される。このように構成された回路の動作を説明すれば、以下のとおりである。

任意のスキャンレジスタの内容を読みたい場合

ジスタ+1)だけのスキャンクロック数に相当する時間が必要であり、LSI部1の内部状態の初期化やデバッグのためにLSI部1の内部状態の読出しに時間がかかるという不具合があった。

本発明はこのような課題に鑑みてなされたものであって、スキャン回路からのデータの高速読出し及びスキャン回路への高速書込みが行えるようにすることができるスキャン回路アクセス装置を提供することを目的としている。

#### 【課題を解決するための手段】

第1図は本発明の原理ブロック図である。第4図と同一のものは、同一の符号を付して示す。図において、1はアクセス対象となるスキャン設計されたLSI部、10は1ビット幅で全スキャンレジスタ数以上のワード数を持ち、LSI部1にダウンロードすべきデータ或いはLSI部1からアップロードしたデータを保持するメモリである。20はその入力部及び出力部がそれぞれLSI部1のスキャン出力及びスキャン入力と接続されて

L S I 部 1 内部のスカンレジスタをリング状に接続し、外部データ入力、メモリ 10 出力及び L S I 部 1 のスカン出力を受けてそのうちの 1 つを選択するセレクト 21、該セレクト 21 の出力を保持するレジスタ 3 を具備し、該レジスタ 3 の出力は外部から直接読出されるようになっており、またメモリ 10 及び L S I 部 1 に入力されるようになっているアクセス用レジスタ部である。

#### 【作用】

スカンレジスタを初期化する場合には、メモリ 10 に先ず書込んでいたデータを L S I 部 1 のスカンレジスタにダウンロードし、スカンレジスタの内部状態を読出す場合にはスカンレジスタの内容をメモリ 10 にアップロードする。メモリ 10 を R A M で構成しておけば、アップロードした後のメモリ 10 の任意のアドレスのデータは容易に読出すことができる。従って、本発明によればスカンレジスタ回路からのデータの高速読出し及びスカンレジスタ回路への高速書込み

ため、スカンコントローラ 30 はアクセスアドレスとして与えられた値を内部レジスタにラッチしたものをメモリアドレスとしてメモリ 10 に与え、同時にメモリ 10 にライトイネーブル (W E) 信号を与える。また、アクセス用レジスタ部 20 では、セレクト 21 がデータ入力をセレクトし、レジスタ 3 でラッチしたデータをメモリ 10 のデータ入力 I N に与える。

次に、メモリ 10 に書込まれた初期化用のデータを L S I 部 1 のスカンレジスタにダウンロードする。この時、スカンコントローラ 30 はスカンレジスタ数をメモリアドレスとして出力してメモリ 10 の内容を読出し、その後、メモリアドレスが 0 になるまで毎クロックカウントダウンし、次々に値を読出す。また、L S I 部 1 にスカンクロックを与えてシフトしていく。

この時、セレクト 21 はメモリ 10 の出力 O U T をセレクトしているので、セレクト 21 を通ったデータはレジスタ 3 に保持され、L S I 部 1 のスカン入力 S I N に入る。この結果、メモリ 1

が行えるようにすることができるスカン回路アクセス装置を提供することを目的としている。

#### 【実施例】

以下、図面を参照して本発明の実施例を詳細に説明する。

第 2 図は本発明の一実施例を示す構成ブロック図である。第 1 図と同一のものは、同一の符号を付して示す。図において、30 は L S I 部 1 にスカンクロックを与えると共に、メモリ 10 のデータ書込みと読出しを制御するスカンコントローラである。該スカンコントローラ 30 には、アップロードとダウンロードの切換え制御を行うコントロール信号 C O N T R O L と、アクセスアドレスが入力され、アップロードを示すフラグ A C K が出力される。このように構成された回路の動作を説明すれば以下のとおりである。

#### (ダウンロード時)

先ず、各スカンレジスタに対応するメモリ 10 の各アドレスに初期化すべき値を書込む。この

0 に格納されている初期化用データは、順次スカンクロックに同期して L S I 部 1 に入力されることになる。

第 3 図 (イ) はダウンロード時のタイムチャートで、スカンレジスタが S R 1 ~ S R 4 の 4 個の場合を例にとっている (現実の回路では数百~数千)。これに応じて、メモリ 10 のサイズは 1 ビット×5ワード (W) とする。スカンレジスタは S I N 側から S O U T 側に向かって順に S R 1, S R 2, S R 3, S R 4 と呼ぶことにする。(イ) はメモリアドレスで最初に最大値 4 がセットされ、順次減少していくようになっている。このメモリアドレスの変化は、(チ) に示すスカンクロックに対応している。1 スカンクロック分遅れてレジスタ 3 には (ロ) に示すように外部からのデータが D 4, D 3, D 2, D 1 と保持され、D 4 から順にスカンレジスタ S R 1, S R 2, S R 3, S R 4 に (ハ) ~ (ヘ) に示すようにデータが入っていく。この結果、最終的にはスカンレジスタ S R 1 にデータ D 1 が、S R 2 に

データD2が、SR3にデータD3が、SR4にデータD4が格納される。この最終状態で、(ト)に示すようにACK信号がそれまでの“1”から“0”に立ち下がりダウンロードが終了したことを外部に知らせる。なお、図中に示すデータD0は必要のない不定のデータを示している。

(アップロード時)

先ず、LSI部1のスカンレジスタの内部状態を読出してメモリ10にアップロードする。このため、スカンコントローラ30は(スカンレジスタ数+1)をメモリアドレスとして出力し、メモリ10に与える。その後、メモリアドレスが1になるまで、毎クロックカウントダウンする。この時、セクタ21はLSI部1のスカンアウトSOUT側を選択している。更に、スカンコントローラはLSI部1にスカンクロックを与える。

この結果、LSI部1から順次出力されてレジスタ3に入ったデータは、メモリ10のデータ入力INから順にメモリ10内に書込まれていく。

このメモリに初期値を設定してLSI部にダウンロードし、LSI部のスカンレジスタの内容をこのメモリにアップロードすることにより、スカンレジスタ回路からのデータの高速読出し及びスカンレジスタ回路への高速書込みが行えるようにすることができる。アクセスするデータの数をN、スカンレジスタの数をSとして、従来方式のアクセス時間が $N + N \times (S + 1)$ となるのに比較して、本発明によれば、 $N + S + 1$ となる。例えば、1000個のスカンレジスタ( $S = 1000$ )からなるLSIの100個のスカンレジスタのデータ( $N = 100$ )にアクセスするとすれば、従来方式に比して91倍の高速比が達成されることになる。

#### 4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例を示す構成ブロック図、

第3図は各部の動作を示すタイムチャート、

第4図は従来方式の構成ブロック図である。

スカンが一巡すると、メモリ10にはLSI部1のスカンレジスタに入っていた全てのデータがメモリに移されたことになる。メモリ10に入ったデータは、必要に応じて任意のアドレスのデータをデータ出力として読出すことができる。

第3図(ロ)はアップロード時のタイムチャートで、スカンレジスタがSR1～SR4の4個の場合を例にとっている。(ホ)に示すスカンクロックに同期してメモリアドレスが(イ)に示すように5, 4, 3, 2, 1と変化すると、LSI部1から読み出されたデータは(ロ)に示すようにX, D4, D3, D2, D1とレジスタ3にセットされる。ここで、Xは不定データを示している。レジスタ3にセットされたデータは、(ハ)に示すライトイネーブル信号WEによりメモリ10の対応するアドレスに書込まれる。

#### 【発明の効果】

以上、詳細に説明したように、本発明によればLSI部と同等以上の容量を持つメモリを用意し、

第1図において、

1はLSI部、

3はレジスタ、

10はメモリ、

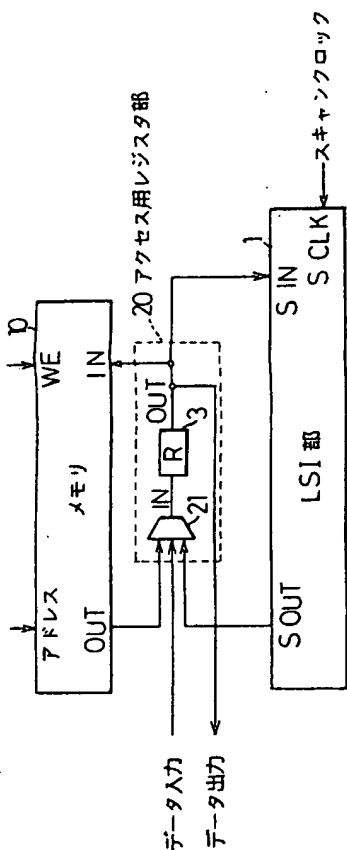
20はアクセス用レジスタ部、

21はセクタである。

特許出願人 富士通株式会社

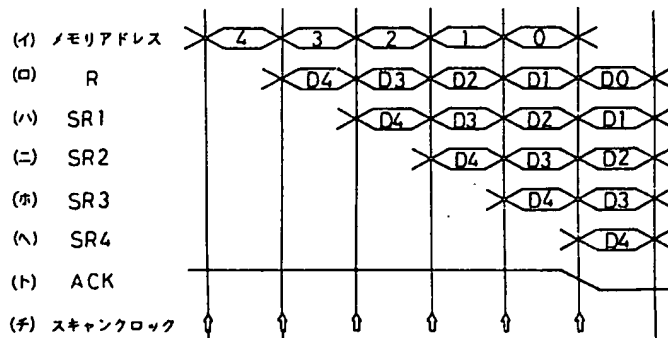
代理人 弁理士 井 島 藤 治

外1名

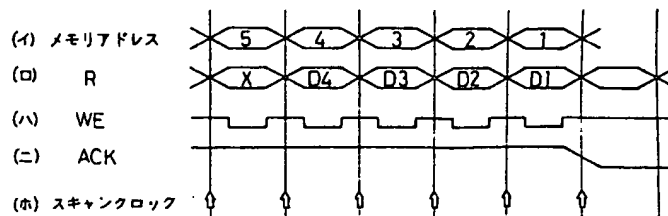


本発明の原理ブロック図

第 1 図



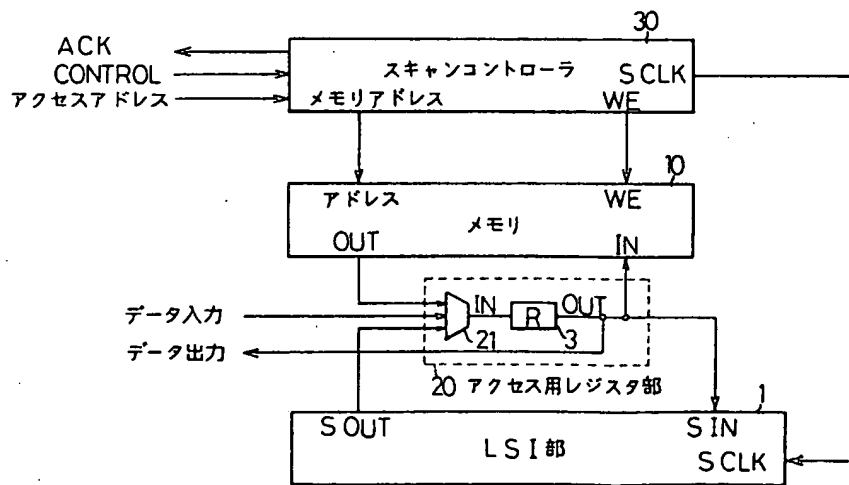
(イ)ダウンロード時のタイムチャート



(ロ)アップロード時のタイムチャート

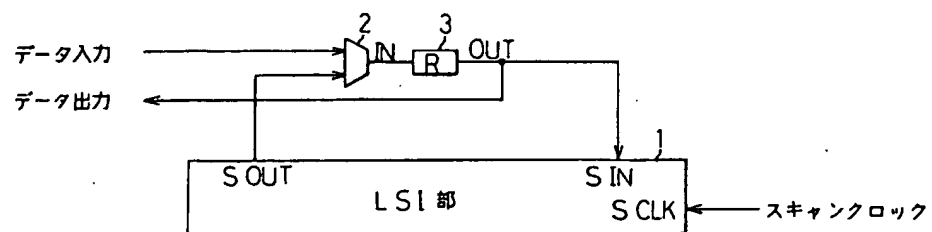
各部の動作を示すタイムチャート

第 3 図



本発明の一実施例を示す構成ブロック図

第 2 図



従来方式の構成ブロック図

第 4 図

PAT-NO: JP403103778A

DOCUMENT-IDENTIFIER: JP 03103778 A

TITLE: SCAN CIRCUIT ACCESS DEVICE

PUBN-DATE: April 30, 1991

INVENTOR-INFORMATION:

NAME

SHINDO, TATSUYA

SHIBUYA, TOSHIYUKI

INT-CL (IPC): G01R031/28, G06F011/22

US-CL-CURRENT: 714/726, 714/FOR.100

ABSTRACT:

PURPOSE: To enable fast reading to and fast writing from scan registers circuit by setting an initial value in a memory, loading it in an LSI part, and saving the contents of the scan registers in the memory.

CONSTITUTION: A scan controller (SC)30 supplies a memory address latched in the internal register to the memory 10 and initial values are written in respective addresses of the memory 10 corresponding to respective scan registers(SR). Then the SC 30 outputs the number of the SR as a memory address to read the contents of the memory 10 and loads data for initialization in the SRs of the LSI part. When the SRs are read, the SC 30 supplies (number of SRs plus 1) as a memory address to the memory 10 to read out the internal states of the SRs and save them in the memory 10. Consequently, the fast read from the SRs and the fast write to the SRs become possible.

COPYRIGHT: (C)1991,JPO&Japio